

2018 年国家技术发明奖提名项目 公示内容

一、项目名称：微处理器全生命周期可靠设计关键技术及应用

二、提名单位：北京市

三、提名意见：

微处理器（CPU）是现代信息系统的核心部件和控制中枢，关系到信息系统稳定可靠运行。该项目涵盖微处理器全生命周期可靠设计的验证调试、可测试性设计、容错设计三大核心技术，包含三项原创性发明、一套综合验证平台、一套可靠设计软件工具（VTRS）、两类技术验证芯片（Godson-T 众核处理器芯片、BR 系列安全认证芯片）。成果创新点包括：发明了软硬件协同的 CPU 可调试性设计和综合验证技术，发明了分布式小时延故障的可测试性设计技术，发明了基于老化预测和时序自愈的容错设计技术。该项目解决了小时延缺陷的精确检测和老化故障的片上容忍难题，实现了微处理器全生命周期可靠设计关键技术的重大突破。项目技术原创性显著，获授权发明专利 33 项、软件著作权 21 项，形成了自主知识产权体系。项目成果已被产业化并广泛应用于高端计算、安全认证、媒体处理、星载控制计算机等领域，有力保障了以国产微处理器为核心的信息系统的可靠运行。核心技术被收录于 2016 年出版的国际工业界技术手册《EDA for IC Handbook》，获国内外同行和用户的高度评价，经济社会效益显著。

该项目部分内容分别于 2017 年和 2013 年获北京市科学技术奖二等奖，对照国家技术发明奖授奖条件，提名该项目申报 2018 年国家技术发明奖二等奖。

四、项目简介：

微处理器（CPU）是现代信息系统的核心部件和控制中枢，关系到信息系统稳定可靠运行。《国家中长期科技发展规划纲要 2006-2020》确定了“核心电子器件、高端通用芯片及基础软件”等 16 个重大专项，彰显了微处理器的重要性。研发贯穿全生命周期的微处理器可靠设计，以自主可控技术保障我国信息系统安全可靠，是重大而紧迫的国家需求。

该项目在 973 计划项目“延长摩尔定律的微处理器芯片新原理、新结构与新方法研究”的支持下，历经 5 年的攻关以及后续产学研和实质性国际合作，攻克了贯穿微处理器全生命周期的可靠设计关键技术，取得多项原创性发明。研制了综合验证平台和可靠设计软件工具（VTRS），设计了验证该项目技术的几款芯片 Godson-T、BR 系列安全认证芯片等。获授权发明专利 33 项、软件著作权 21 项；出版学术专著 3 部，发表学术论文 85 篇。主要发明点如下：

(1)发明了软硬件协同的 CPU 可调试性设计（DFD）和综合验证技术，揭示了有限状态机难达状态具有极小稳态概率和后验概率的本质特征，提出了基于支持向量机的覆盖率驱动验证方法、软硬件协同的可扩展实时片上调试方法，实现了边界情况下设计错误的快速发现和定位。(2)发明了分布式小时延故障的可测试性设计（DFT）技术，建立了统计时序分析下关键通路的理论分析模型，提出了时钟频率自适应的超速时延测试系统及测试方法、部分增强型扫描时延测试的触发器选择方法，实现了工艺偏差下小时延缺陷的快速和精确检测。(3)发明了基于老化预测和时序自愈的容错设计（DFH）技术，发现并实验揭示了 NBTI 老化效应与漏电和时延变化的依存机理，提出了基于测量漏电变化的在线电路老化预测方法、基于傅里叶分解的老化检测（信号稳定性检测器）及电路时序自愈方法，实现了老化故障的在线感知和片上容忍。

主要技术被收录于国际工业界技术手册《EDA for IC Handbook》；陈俊亮、孙家广、刘明等院士鉴定认为：“该成果显著提升了我国微处理器的可靠设计能力，整体技术达到国际先进水平，其中时钟频率自适应的超速时延测试方法、基于测量漏电变化的在线电路老化检测方法达到国际领先水平。”

该项目成果自 2010 年以来，应用于包括高端通用处理器芯片、安全认证芯片、多媒体处理核心芯片、星载微处理器芯片等四类微处理器芯片设计，发现了商业 EDA 工具没有检测到的设计错误，保障了芯片的故障覆盖率和测试质量，有效提升了芯片可靠性，并产生了显著的经济和社会效益。

部分成果分获 2017 年和 2013 年北京市科学技术奖二等奖、2016 年中国计量测试学会科学技术奖二等奖。

五、客观评价：

1. 成果评议：

陈俊亮院士、孙家广院士、刘明院士等同行专家鉴定认为：“该成果显著提升了我国微处理器的可靠设计能力，整体技术达到国际先进水平，其中时钟频率自适应的超速时延测试方法、基于测量漏电变化的在线电路老化检测方法达到国际领先水平。”（旁证材料：附件 5.1-5.2）

2. 检测报告：

2017 年 12 月，微处理器全生命周期可靠设计软件 VTRS 通过了国家应用软件产品质量监督检测中心的测试，确认 VTRS 可对数字逻辑电路实现以下功能：“验证激励自动生成、模型化错误注入、时延故障可测试性设计、小时延故障的测试生成、超速时延测试电路设计、老化预测分析。”（旁证材料：附件 6.1）。

2016 年 3 月，江苏省电子信息产品质量监督检验研究院依据半导体器件 GB/T4589.1-2006 国家标准和安防指纹识别应用系统 GA/T894.8-2010 标准，对指纹识别芯片 BR6210 进行了第三方测试，验证该芯片样品全部符合相关电性能和功能要求（旁证材料：附件 6.2）。

2016 年 12 月，DPU-m 芯片及高通量视频处理系统通过了中国电子技术标准化研究院的第三方测试，验证了该芯片及系统支持 H.264、MEPG-4 等视频压缩编码，“提供数 26 倍于浪潮服务器 NP5580M3 的能效比”（旁证材料：附件 6.3）。

3. 同行评价：

主要创新技术的代表性学术论文得到包括数十位 IEEE Fellow 在内的国际同行在国际学术会议、学术刊物中的引用和积极评价。

1、软硬件协同的 CPU 可调试性设计（DFD）和综合验证技术

IEEE Fellow 美国弗吉尼亚理工学院 Michael Hsiao 教授在其 2015 年发表的论文[“**Abstraction-based Relation Mining for Functional Test Generation,**” **Proc. 33rd VLSI Test Symposium, CA, USA, April 2015.**]中引用该项目成果中覆盖率驱动验证激励生成方法 PACOST，评价：“This abstraction is highly effective for state justification and allows PACOST to quickly reach difficult corner cases.”该文还使用专门一节将其方法与 PACOST 进行数据对比和分析。（附件 8.1）

2、CPU 时延故障的可测试性设计（DFT）技术

IEEE Fellow 美国麻省大学 Sandip Kundu 教授在其 2012 年发表的测试领域 SCI 专刊论文[“**On Testing Prebond Dies with Incomplete Clock Networks in 3D ICs Using DLLs,**” **Journal of Electronic Testing: Theory and Applications, Vol.28, No.1, 2012**]中，评价该项目成果中超速测试时钟信号生成结构“**It is taken another step further Pei, Li, and Li in [6] by providing a means by which the test clock frequency can be specified in the test patterns that are shifted in, providing for more flexibility.**”，并跟踪扩展了该结构用于测试三维集成电路芯片。其中引文[6]是该

项目 2010 年在 DATE 发表的论文。这篇论文还得到 IEEE/ACM Fellow 美国斯坦福大学 Subhasish Mitra 与 IEEE Fellow 德国弗莱堡大学 Bernd Becker 教授发表论文 [**"Early-Life-Failure Detection using SAT-based ATPG," Proc. IEEE International Test Conference, USA, 2013**]的引用,作为超速测试方法的代表性工作。(附件 8.2-8.3)

3、基于老化预测和时序自愈的容错设计技术

IEEE Fellow,美国德州大学奥斯汀分校教授 Lizy John 在与 Intel AMD 学者联合发表于 2014 年的 IEEE 期刊论文[**"Predictive Heterogeneity-Aware Application Scheduling for Chip Multiprocessors," IEEE Transactions on Computers, Vol. 63, No.2, 2014**]评价该项目中信号稳定性检查工作(引文[30])与他们的工作互为补充:“Recent work by Yan et al. [30] tries to address timing emergencies as a result of running multiple programs....This is complementary to our work.” IEEE Fellow 美国 UCSD 大学 R.K.Gupta 教授在与意大利博洛尼亚大学 Luca Benini 教授(片上网络 NoC 的发明人)联合发表于 2014 年的 IEEE 期刊论文[**"Application-Adaptive Guardbanding to Mitigate Static and Dynamic Variability," IEEE Transactions on Computers, Vol. 63, No.9, 2014**]评价该项目时序自愈方法(引文 27])代表一类硬件辅助的容忍时延故障的解决方案:“Another hardware-implemented technique tolerates the delay variability on critical paths by enabling a localized path-grained adaptation mechanism [27].”(附件 8.4)

4. 国际学术影响力:

2016 年, CRC Press of Taylor & Francis Group 出版了国际工业界技术手册《Electronic Design Automation for Integrated Circuits Handbook》Second Edition - Two Volume Set。在该手册第 22 章“Automatic Test Pattern Generation”中,收录了该项目中关于时延故障检测和功能验证的覆盖率驱动激励生成的 11 篇学术论文,归入 22.5 节“Advanced ATPG Research (ATPG 前沿研究)”,在该书第 579-587 页详细介绍了该项目若干方法的原理图和核心算法(附件 9.1-9.4)。

该项目验证芯片 Godson-T 被处理器领域权威杂志 Microprocessor Report 遴选为 2011 年全球十大 Server-Processor,是唯一来自中国的芯片。该杂志 2011 年 9 月刊 Tom R. Halfhill 专门撰文“Godson-T Weaves Threads”,介绍了 Godson-T 的体系结构、创新方法和评测结果(附件 9.5-9.6)。

5. 典型用户评价:

“该成果自 2013 年以来整体应用于北京控制工程研究所自主研发的星载微处理器芯片及专用集成电路芯片可靠设计过程,保障了芯片的故障覆盖率和测试质量,提升了芯片可靠性。应用包括二代导航二期等型号控制计算机、传感器及执行机构产品。”(旁证材料:附件 2.2)

六、推广应用情况：

该项目技术分别由中国科学院计算技术研究所、北京控制工程研究所、中科睿芯科技有限公司、江苏邦融微电子有限公司、北京轩宇科技有限公司等应用于包括高端通用处理器芯片、安全认证芯片、多媒体处理核心芯片、星载微处理器芯片等四类微处理器芯片设计。该项目技术为这些微处理器芯片发现了商业 EDA 工具没有检测到的设计 bug，保障了芯片的故障覆盖率和测试质量，有效提升了芯片可靠性，从而保障了这些芯片在关键领域应用的稳定可靠运行。

主要应用单位情况：

序号	应用单位名称	应用技术	应用起止时间	应用单位 联系人及电话
1	中国科学院计算技术研究所	整体应用	2006/01-2017/12	董慧/17701092360
2	北京控制工程研究所	整体应用	2013/01-2017/12	田野/18910495069
3	中科睿芯科技有限公司	整体应用	2015/01-2017/12	王达/13811702194
4	北京轩宇空间科技有限公司	整体应用	2014/01-2017/12	王红霞/18701648078
5	江苏邦融微电子有限公司	整体应用	2013/01-2017/12	张飞飞/18701239679
6	苏州中科集成电路设计中心	整体应用	2014/01-2017/12	孙亮/0512-62889082
7	宁波高新区中科芯元集成电路技术有限公司	整体应用	2010/01-2017/12	刘红梅/0574-87910148

七、主要知识产权证明目录：（不超过 10 项，前 3 项为核心知识产权）

序号	知识产权类别	知识产权具体名称	国家	授权号	授权日期	证书编号	权利人	发明人	专利有效状态
1	发明专利	覆盖率驱动随机验证集成电路的方法及系统	中国	ZL200910078326.5	2011.03.23	第 750888 号	中国科学院计算技术研究所	郭崎, 沈海华, 卫文丽	有效
2	发明专利	超速时延测试系统及测试方法	中国	ZL201010033983.0	2012.01.11	第 893447 号	中国科学院计算技术研究所	裴颂伟, 李华伟, 李晓维	有效
3	发明专利	基于测量漏电变化的在线电路老化预测方法	中国	ZL201110341368.0	2013.11.20	第 1309863 号	中国科学院计算技术研究所	韩银和、靳松、李华伟、李晓维	有效
4	发明专利	多核处理器的 JTAG 实时片上调试方法及其系统	中国	ZL201010135260.1	2013.01.16	第 1122951 号	中国科学院计算技术研究所	雷峥蒙, 焦帅, 徐卫东, 范东睿, 张浩	有效
5	发明专利	一种用于指令级随机验证的指令组合过滤方法及系统	中国	ZL200910080077.3	2010.12.08	第 710622 号	中国科学院计算技术研究所	沈海华, 王朋宇, 张珩	有效
6	发明专利	用于部分增强型扫描时延测试的触发器选择方法及系统	中国	ZL200910236849.8	2012.03.14	第 919915 号	中国科学院计算技术研究所	裴颂伟, 李华伟, 李晓维	有效

7	发明专利权	一种片上通路时延测量电路及方法	中国	ZL200910236848.3	2012.02.01	第 904189 号	中国科学院计算技术研究所	裴颂伟, 李华伟, 李晓维	有效
8	发明专利权	片上用于交流扫描测试的快速信号产生电路	中国	ZL200410004831.2	2008.03.05	第 383074 号	中国科学院计算技术研究所	韩银和、李晓维	有效
9	发明专利权	信号稳定性检测器及时延测试装置	中国	ZL201110078659.5	2013.04.03	第 1169921 号	中国科学院计算技术研究所	裴颂伟、李华伟、李晓维	有效
10	发明专利权	复杂指令集体系结构中的深度优先异常处理方法	中国	ZL200610088939.3	2009.06.03	第 504208 号	中国科学院计算技术研究所	段振中, 范东睿	有效

八、主要完成人情况（不超过 6 人）：

排序	姓名	主要贡献	工作单位	完成单位	职称	职务
1	李晓维	第 1 完成人。 项目负责人，发明了超速时延测试系统及测试方法，基于测量漏电变化的在线电路老化预测方法，信号稳定性检测器及时延测试装置等。对主要发明点 1-3 都做出了贡献。旁证材料：附件 1.2-1.3, 4.3-4.6。	中国科学院计算技术研究所	中国科学院计算技术研究所	研究员	无
2	李华伟	第 2 完成人。 课题负责人，发明了超速时延测试系统及测试方法，用于部分增强型扫描时延测试的触发器选择方法及系统，一种片上通路时延测量电路及方法等。对主要发明点 1-3 都做出了贡献。旁证材料：附件 1.2-1.3, 4.3-4.4, 4.6。	中国科学院计算技术研究所	中国科学院计算技术研究所	研究员	无
3	范东睿	第 3 完成人。 发明了多核处理器的 JTAG 实时片上调试方法及其系统，复杂指令集体系结构中的深度优先异常处理方法等。负责在众核 CPU 中发明技术的实施。对主要发明点 1、3 都做出了贡献。旁证材料：附件 4.1, 4.10。	中国科学院计算技术研究所	中国科学院计算技术研究所	研究员	无

4	华更新	第 4 完成人。 课题负责人，负责在星载 CPU 中发明技术的实施。对主要发明点 1、3 都做出了贡献。旁证材料：附件 6.2。	北京控制工程研究所	北京控制工程研究所	研究员	无
5	沈海华	第 5 完成人。 发明了覆盖率驱动随机验证集成电路的方法及系统，一种用于指令级随机验证的指令组合过滤方法及系统等。对主要发明点 1、2 都做出了贡献。旁证材料：附件 1.1, 4.2。	中国科学院大学	中国科学院计算技术研究所	副教授	无
6	韩银和	第 6 完成人。 发明了基于测量漏电变化的在线电路老化预测方法，片上用于交流扫描测试的快速信号产生电路等。对主要发明点 1-3 都做出了贡献。旁证材料：附件 1.3, 4.5。	中国科学院计算技术研究所	中国科学院计算技术研究所	研究员	无

九、完成人合作关系说明：

2005年-2010年，本人与李华伟、韩银和、范东睿、沈海华等共同参与了973项目“延长摩尔定律的微处理器芯片新原理、新结构与新方法研究”。

2002年-2008年，本人与李华伟、韩银和、沈海华等一起参与龙芯CPU的研发，先后参与龙芯1号和2号的设计验证和可测试性设计。

2008年起，本人与李华伟、范东睿等一起参与Godson-T和Godson-Dm等众核CPU的设计验证、可测试性设计、容错设计。

本人与李华伟、韩银和等自2001年以来，与北京控制工程研究所华更新团队合作，参与星载CPU验证测试及星载容错控制计算机研制，承担了北京控制工程研究所和北京轩宇科技有限公司委托的多款国产星载CPU的验证测试项目。

本人与李华伟、范东睿、华更新、沈海华、韩银和等的合作成果“高性能处理器测试验证与片上容错技术及应用”获2017年度北京市科学技术奖二等奖。

本人与李华伟、沈海华、韩银和等的合作教学成果“面向集成电路质量技术创新人才培养需求的教育教学改革实践”获2016年度中国科学院教育教学成果奖二等奖。

上述项目关系介绍准确无误，证明材料真实可靠，并得到各参与单位和个人的共同确认。

第一完成人：

完成人合作关系情况汇总表

序号	合作方式	合作者 (项目排名)	合作时间	合作成果	证明材料	备注
1	共同立项	李晓维(1)、李华伟(2)、范东睿(3)、沈海华(5)、韩银和(6)	2005.12-2010.12	项目主要内容	证明函	本附件第3页
2	论文合著	李晓维(1)、范东睿(3)	2005.12-2017.12	项目主要内容	论文	本附件第4页
3	论文合著	李晓维(1)、华更新(4)	2001.1-2017.12	项目主要内容	论文	本附件第5-6页
4	论文合著	李晓维(1)、李华伟(2)	2001.1-2017.12	项目主要内容	论文	附件7.5, 7.6
5	论文合著	李晓维(1)、韩银和(6)	2001.1-2017.12	项目主要内容	论文	附件7.7
6	共同知识产权	李晓维(1)、李华伟(2)、韩银和(6)	2001.1-2017.12	项目主要内容	发明专利	附件1.3
7	共同知识产权	李晓维(1)、李华伟(2)	2001.1-2017.12	项目主要内容	发明专利	附件1.2, 4.3, 4.4, 4.6
8	共同知识产权	李晓维(1)、韩银和(6)	2001.1-2017.12	项目主要内容	发明专利	附件4.5
9	共同获奖	李晓维(1)、李华伟(2)、范东睿(3)、华更新(4)、沈海华(5)、韩银和(6)	2005.1-2017.12	北京市科学技术二等奖	获奖证明	本附件第7页
10	共同获奖	李晓维(1)、李华伟(2)、沈海华(5)、韩银和(6)	2005.1-2017.12	中国科学院教育教学成果二等奖	获奖证书	本附件第8页

承诺：本人作为项目第一完成人，对该项目完成人合作关系及上述内容的真实性负责，特此声明。

第一完成人：